

Docket No.: 4425-343

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

| | | |
|---|---|--|
| In re Application of | : | |
| Chih-Yung CHEN et al. | : | Confirmation No. <i>Not yet assigned</i> |
| U.S. Patent Application No. <i>Not yet assigned</i> | : | Group Art Unit: <i>Not yet assigned</i> |
| Filed: <i>Herewith</i> | : | Examiner: <i>Not yet assigned</i> |

For: A SYSTEM CHIP RELATED METHOD OF DATA ACCESS

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims, in the present application, the priority of *Taiwanese Patent Application No. 092102128, filed January 30, 2003*. The certified copy is submitted herewith.

Respectfully submitted,

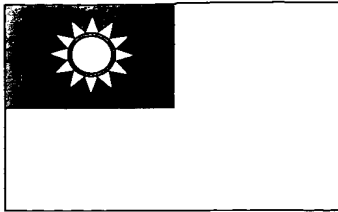
LOWE HAUPTMAN GILMAN & BERNER, LLP



Randy A. Noranbrock
Registration No. 42,940

for: Benjamin J. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 310
Alexandria, Virginia 22314
(703) 684-1111 BJH/etp
Facsimile: (703) 518-5499
Date: January 29, 2004



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 30 日
Application Date

申請案號：092102128
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 3 月 19 日
Issue Date

發文字號：09220270850
Serial No.

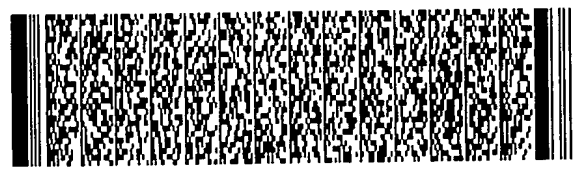
91064

| | |
|-------|-----|
| 申請日期： | 案號： |
| 類別： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------|--------------------|---|
| 一、發明名稱 | 中文 | 不具等待週期之系統晶片架構與運作方法 |
| | 英文 | system chip and related method of data access |
| 二、發明人 | 姓名 (中文) | 1. 陳志勇 2. 林坤隆 |
| | 姓名 (英文) | 1. Chih-Yung CHEN 2. Kun-Long LIN |
| | 國籍 | 1. 中華民國 2. 中華民國 |
| | 住、居所 | 1. 臺北縣新店市中正路533號8樓 2. 臺北縣新店市中正路533號8樓 |
| 三、申請人 | 姓名 (名稱) (中文) | 1. 威盛電子股份有限公司 |
| | 姓名 (名稱) (英文) | 1. VIA Technologies, Inc. |
| | 國籍 | 1. 中華民國 |
| | 住、居所 (事務所) | 1. 臺北縣新店市中正路533號8樓 |
| | 代表人 姓名 (中文) | 1. 王雪紅 |
| | 代表人 姓名 (英文) | 1. Cher WANG |



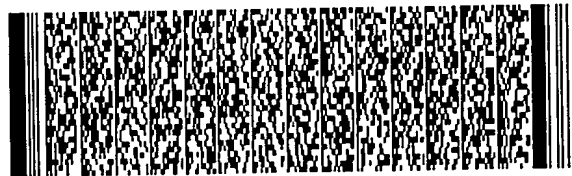
四、中文發明摘要 (發明之名稱：不具等待週期之系統晶片架構與運作方法)

一種控制晶片與其資料存取方法，控制晶片包含一中央處理器 (CPU) 及一介面控制電路。介面控制電路用以將內部資料存取位址轉換並對應至一外部資料暫存區，藉此，使得中央處理器直接存取資料於外部資料暫存區。資料存取方法，包含偵測內部資料存取位址是否屬於內部記憶區位址、將偵測之資料存取位址轉換並對應至一外部記憶區位址、當偵測得知係為內部記憶區位址時，發出請求以進行控制晶片對外部記憶區之資料存取。當請求尚未確立前，暫停控制晶片的資料存取動作、及當外部記憶區回應請求後，回復控制晶片，對外部記憶區進行資料存取。

代表圖示：第二 B 圖代表

英文發明摘要 (發明之名稱：system chip and related method of data access)

A system chip and related method of data access are provided. The system chip encompasses a central processing unit and a control circuit of interface. The control circuit of interface is configured for transforming an internal access address of data into one corresponded to an external temporary segment of data, so that the CPU may directly access data with the external temporary region of data. The method of data access includes the steps of determining whether



四、中文發明摘要 (發明之名稱：不具等待週期之系統晶片架構與運作方法)

圖示符號說明：

20 控制晶片

201A 微處理器

201B 內部暫存器

202 暫存記憶體

203 記憶介面控制電路

204 其他電路部分

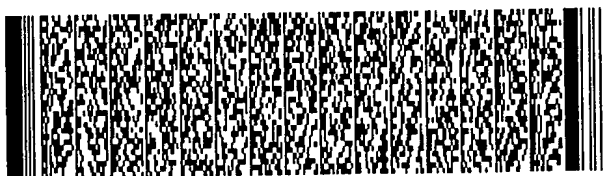
21 記憶晶片

210 資料暫存區

22 記憶匯流排

英文發明摘要 (發明之名稱：system chip and related method of data access)

an access address of data is corresponded to an internal memory, transforming the access address into one corresponded to an external memory, and requesting data access with the external memory. The data access may be suspended prior to sending CPU a confirmation of request while the data access may be executed with the external memory when the request is confirmed by the external memory.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

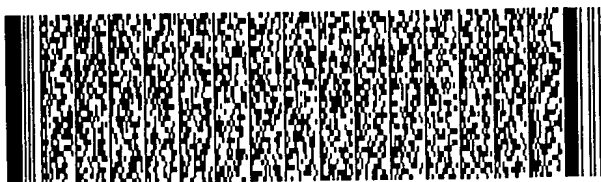
一、【發明所屬之技術領域】

本發明係關於一種控制晶片與其運作方法，特別是有關於一種系統晶片架構與其運作方法。

二、【先前技術】

微處理器 (micro processor) 已廣泛地用於各種電子/控制領域，而一般的微處理器皆具有內部暫存器 (internal register)，用以暫存任意資料、提供流程控制參數或數值運算所需之暫存資料。隨著微處理器所控制的系統越來越複雜，微處理器亦需要更多的內部暫存器以儲存運作時所需的資料。然而微處理器內部暫存器往往因容量過小而不敷使用，所以目前的微處理器多半需外部記憶體 (External memory) 的支援，以彌補內部暫存器容量不足的問題。

第一 A圖用以說明常見的特殊應用積體電路 100 (Application Specific Integrated Circuit, ASIC) 的結構設計，其中包含了中央處理器 104A，而中央處理器 104A內部更具有一 256 bytes (位元組) 的內部暫存器 104B。隨著特殊應用積體電路 100要控制的系統複雜度提高，習知的做法上往往在特殊應用積體電路 100中內部，架構一個靜態隨機存取記憶體 106 (Static Random Access Memory, SRAM)，用以提供更多的儲存空間給中央處理器 104A使用 (例如 4Kbytes大小之 SRAM)。此外，特



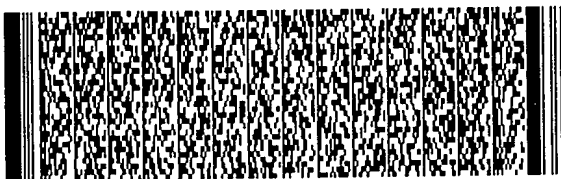
五、發明說明 (2)

特殊應用積體電路 100 尚包含一內部電路 102 作為電訊連接之用。

第一 B 圖為中央處理器 104A 存取靜態隨機存取記憶體 106 的時序動作，其係假設中央處理器 104A 需要四個連續中央處理器時脈的讀出/寫入週期信號 (RD/WR)，以由暫存記憶體 202 中寫入或讀出資料的情形作解說。由於靜態隨機存取記憶體 106 僅供中央處理器 104A 使用，因此中央處理器 104A 可以隨時對靜態隨機存取記憶體 106 進行存取動作，而不會有任何的等待延遲時間。如第一 B 圖所示，當位址鎖存生效信號 110 (Address Latch Enable, ALE) 完成後，中央處理器 104A 將花費四個連續中央處理器時脈的讀出/寫入週期信號 112，用以將資料寫入或讀出同步動態隨機存取記憶體 106 中。然而，當特殊應用積體電路 100 被應用於控制更大型，或是更複雜的系統時，勢必需要包含更大的靜態隨機存取記憶體 106 以暫存資料。換句話說，整個特殊應用積體電路 100 的面積也將增加，如此一來無疑的會增加特殊應用積體電路 100 製程上的複雜度與成本。

三、【發明內容】

鑒於上述習知特殊應用積體電路於存取所需暫存記憶體之諸多缺點，本發明之目的之一，提供一種系統晶片架構，用以克服傳統上所衍生的問題。



五、發明說明 (3)

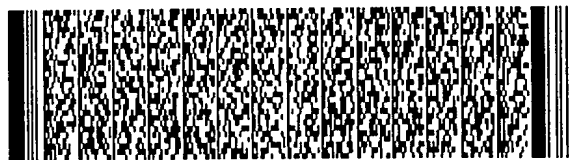
本發明之另一目的，為節省系統晶片用以暫存資料的記憶體，進而縮減系統晶片面積與節省晶片製造成本。

本發明之又一目的，在於不影響微處理器的執行效率下，使系統晶片得以存取外部記憶晶片中，僅供微處理器存取之資料暫存區。

根據以上所述之目的，本發明提供一種控制晶片之資料存取系統，包含位於控制晶片內一中央處理器、一藉由匯流排連接至控制晶片之外部資料暫存區，與一介面控制電路。介面控制電路位於控制晶片內，用以將控制晶片內的資料存取位址轉換並對應至外部資料暫存區，藉此，使得中央處理器直接存取資料於外部資料暫存區。一種控制晶片之資料存取方法，包含偵測控制晶片內的資料存取位址是否屬於內部記憶區位址、將偵測之資料存取位址轉換並對應至一外部記憶區位址、當偵測得知係為內部記憶區位址時，發出請求以進行控制晶片對外部記憶區之資料存取、當請求尚未確立前，暫停控制晶片的資料存取動作、及當外部記憶區回應請求後，回復控制晶片，對外部記憶區進行資料存取。

四、【實施方式】

本發明的較佳實施例會詳細描述如下。然而，除了詳

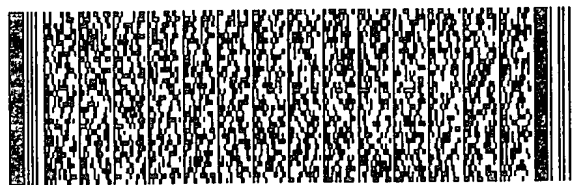


五、發明說明 (4)

細描述外，本發明還可以廣泛地施行在其他的實施例中，且本發明的範圍不受限定，其以之後的專利範圍為準。

本發明提供一種控制晶片，包含一中央處理器 (CPU) 及一介面控制電路。介面控制電路用以將控制晶片內的資料存取位址轉換並對應至一外部資料暫存區，藉此，使得中央處理器直接存取資料於外部資料暫存區。一種控制晶片之資料存取方法，包含偵測控制晶片內的資料存取位址是否屬於內部記憶區位址、將偵測之資料存取位址轉換並對應至一外部記憶區位址、當偵測得知係為內部記憶區位址時，發出請求以進行控制晶片對外部記憶區之資料存取、當請求尚未確立前，暫停控制晶片的資料存取動作、及當外部記憶區回應請求後，回復控制晶片，對外部記憶區進行資料存取。

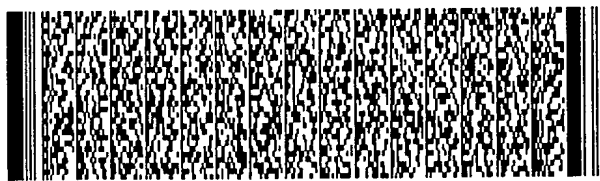
第二 A圖及第二 B圖用以說明本發明較佳實施例之結構圖。第二 A圖係以光碟機系統的控制晶片 20為例作說明，此控制晶片 20內部包含了具有 256bytes (位元組) 內部暫存器 201B的微處理器 201A，以及一容量為 4K bytes的暫存記憶體 202，此暫存記憶體 202於本實施例中為靜態隨機存取記憶體 (Static Random Access Memory, SRAM)，用以提供額外的暫存資料空間給微處理器 201A使用，此控制晶片 20亦包含了其他必須的電路 204。



五、發明說明 (5)

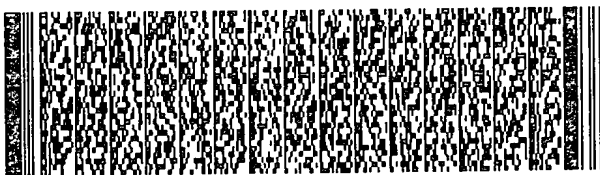
然而，以光碟機系統而言，除了控制晶片 20 外，尚需提供記憶晶片 21，做為大量資料暫存之用。由於控制晶片 20 於控制光碟機系統進行從光碟片中讀取資料時，需要一容量較大的記憶晶片 21 來暫存讀取資料。是以，本發明較佳實施例中的記憶晶片 21 係包含一容量為 8M bytes 的動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM) 為例，然而於其他的實施例中，亦可使用其他種類或型態、甚至任何容量的資料儲存裝置作替代。這些資料跟儲存於內部暫存器 201B 及暫存記憶體 202 的資料是不同的，因為儲存於內部暫存器 201B 及暫存記憶體 202 的資料，大致上是微處理器 201A 所需的控制旗標 (Flag) (儲存於內部暫存器 201B)、流程控制參數及數值運算所需之資料 (儲存於暫存記憶體 202)，而記憶晶片 21 則提供整個光碟機系統做資料儲存之用。如同第二 A 圖所示，控制晶片 20 係透過記憶匯流排 22 (memory bus) 與記憶晶片 21 連接，而控制晶片 20 中的記憶介面控制電路 203 (memory interface control circuit) 則用以負責控制晶片 20 與記憶晶片 21 間的存取操作。也就是說，當微處理器 201A 或其他電路 204 需要存取記憶晶片 21 中的資料時，係將資料位址 (data address) 交由記憶介面控制電路 203，然後透過記憶介面控制電路 203 以取得儲存於記憶晶片 21 中所需的資料。

根據以上所述，本發明係於記憶晶片 21，例如 8M



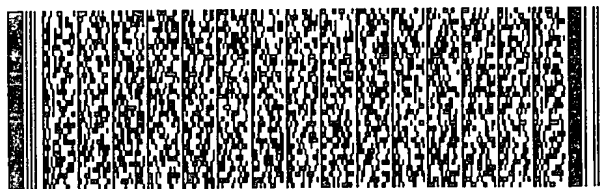
五、發明說明 (6)

bytes的動態隨機存取記憶體 (DRAM) 中，規劃出一容量等於暫存記憶體 202的資料暫存區 210，如第二 B圖所示。如此一來，記憶晶片 21中的資料暫存區 210便可以取代暫存記憶體 202。由於記憶晶片 21的容量相較於暫存記憶體 202大上許多，例如 8M bytes的 DRAM是容量為 4k bytes的暫存記憶體 202的 2048倍，因此在規劃一個小區域供微處理器 201A以取代暫存記憶體 202，作為微處理器 201A所需的流程控制參數及數值運算等資料儲存場所之後，並不影響整個記憶晶片 21的功能。但是對控制晶片 20而言，卻可以節省暫存記憶體 202所佔用的面積、降低製程複雜度、以及減少製造成本。此外，因記憶晶片 21是供整個光碟機系統資料暫存之用，並不像控制晶片 20內的暫存記憶體 202只供給微處理器 201A使用，亦即光碟機系統中的其他部分亦會對記憶晶片 21進行存取動作。如此一來，當微處理器 201A欲存取位於記憶晶片 21中的資料暫存區 210時，如果此時記憶晶片 21正由系統中的其他部分所佔據使用，微處理器 201A便無法直接取得所需的資料。因此本發明於以下的敘述中，更揭露在不改變微處理器 201A的存取動作之架構下，將原本於控制晶片 20內的暫存記憶體 202以資料暫存區 210取代。也就是說，當微處理器 201A欲存取暫存記憶體 202時，仍然會覺得是在存取暫存記憶體 202，但實際上已經被引導至資料暫存區 210存取所需的資料，在整體操作效率上不會受到影響。



五、發明說明 (7)

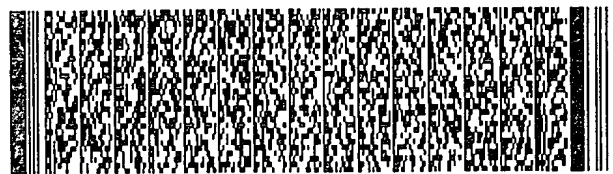
第三圖為一時脈時序圖，用以說明第二B圖中微處理器201A在存取資料暫存區210中資料時的時序動作。在較佳實施例中，係假設微處理器201A需要四個連續微處理器時脈週期的讀出/寫入週期信號302(微處理器時脈為第三圖中的 μ P_CLOCK時脈)，而且以由暫存記憶體202中寫入或讀出資料的情況作說明。當位址鎖存生效信號(Address Latch Enable, ALE) 300由低位準拉高至高位準，以表示已取得資料位址(Data address)、而且微處理器201A所發出的資料位址係指向暫存記憶體202時，此資料位址會先被轉換而對應至資料暫存區210的資料位址。接下來，由於微處理器201A仍然認為在存取原有的暫存記憶體202，所以微處理器201A將開始進行長度為四個微處理器時脈週期的讀出/寫入週期信號304。由於此時的記憶晶片21可能被光碟機系統的其他元件所佔用，所以無法即時支援微處理器201A進行資料暫存區210的存取操作。若在此時未阻止微處理器時脈信號繼續出現時，微處理器201A將透過連續四個微處理器時脈週期(T1~T4)302來存取資料(信號流程如虛線(dash line)箭頭所示)，於是便發生系統誤動作的情況。本發明則針對此一問題提出下列的解決方式來克服。在較佳實施例中的信號流程如第三圖中的中心線(center line)箭頭所示。當位址鎖存生效信號300(ALE)完成取得資料位址、而且讀出/寫入週期信號304第一個週期(T1)結束後，存取要求信號308隨即發出，而時脈致能信號306則被降至低位準。應注意的是，



五、發明說明 (8)

由於時脈致能信號 (CLOCK_ENABLE) 306 目前處於低位準，於是將阻擋微處理器時脈 μ P_CLOCK 之出現 (如微處理器時脈被阻擋之區間 314 之所示)，同時導致控制晶片 20 裡微處理器 201A 的動作被暫停。微處理器 201A 的動作將直到時脈致能信號恢復運作後才恢復所有操作。接下來，存取回覆信號 (Acknowledgement, ACK) 312 將由高位準降至低位準，以等候記憶晶片 21 完成目前所處理之工作。待記憶晶片 21 完成目前的工作後，存取回覆信號 312 將由低位準拉升至高位準，同時將時脈致能信號 (CLOCK_ENABLE) 306 由低位準提昇至高位準，以表示控制晶片 20 獲得存取資料暫存區 210 的權利，於是微處理器 201A 將接續讀出 / 寫入週期信號 304 的 T2、T3、T4 週期，以完成資料存取的操作。而本發明微處理器存取資料暫存區 210 的時序波形圖可如讀出 / 寫入週期信號 304 之所示。由於微處理器時脈信號 μ P_CLOCK 於等待記憶晶片 21 的存取回覆信號 312 時係處於停止運作狀態，因此對微處理器 201A 來說，仍然只花了四個微處理器時脈週期來完成資料存取，所以對微處理器 201A 而言並不會覺得有任何的改變。

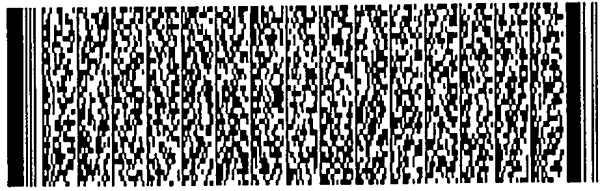
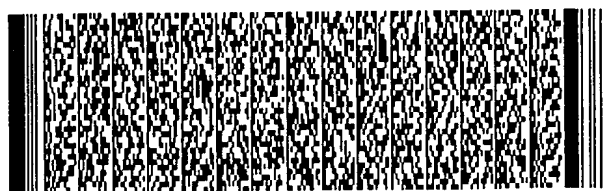
由於當控制晶片 20 需存取資料暫存區 210 時，記憶晶片 21 可能正由系統中的其他部分所佔用，於是控制晶片 20 必須等待記憶晶片 21 將目前的工作完成後，才能繼續所需的資料存取動作，因此時脈信號被暫停的時間 (例如存取回覆信號 312 所持續的時間長度)，便與記憶晶片 21 完成目



五、發明說明 (9)

前所處理的工作相關。等到記憶晶片 21 完成目前的工作後，才再提昇存取回覆信號 ACK 至高位準，以表示准許控制晶片 20 存取資料暫存區 210 的資料。以第三圖所示之情形為例，記憶晶片 21 需要四個記憶體週期 (DRAM_CLOCK) 來完成目前所處理的工作，然而對微處理器 201A 而言，卻只等候了 1.33 個週期 (因為 DRAM_CLOCK 與微處理器時脈週期 μP_CLOCK 的比例為 3:1，而 4 個 DRAM_CLOCK 的時間即等於 1.33 個 μP_CLOCK 的時間) 應注意的是，由於微處理器 201A 的時脈週期較記憶晶片 21 為長，因此對微處理器 201A 的整體操作績效影響相當小。此外，可將微處理器 201A 對記憶晶片 21 進行資料存取的權限設定為高優先級，例如設定為僅次於 DRAM 更新 (DRAM refresh) 的優先級。於是當微處理器 201A 需要存取流程控制參數、或數值運算所需的暫存資料時，即能很快地取得所需的資料。再者，本發明較佳實施例中的光碟機系統，可以是 CD-ROM 碟機 (drive)、CD-RW 碟機、DVD-ROM 碟機、DVD+R 碟機、DVD+RW 碟機、或 DVD-RAM 碟機等光電系統，熟習本發技術者當可依據本發明所揭露之架構，以應用於光電系統外的其他系統內，然所有基於本發明較佳實施例精神所為之等校修飾與變化等等，仍應包含於本發明申請專利範圍之中。

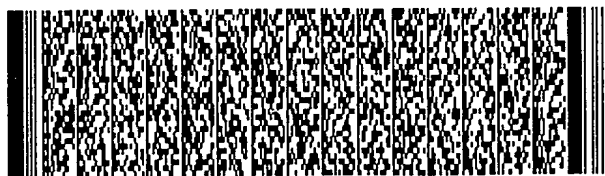
第四圖則用以說明控制晶片 20 中的微處理器 201A 於存取記憶晶片 21 中資料暫存區 210 時的步驟流程。首先，當控制晶片 20 要對記憶晶片 21 進行資料存取動作時，先暫停



五、發明說明 (10)

控制晶片20內的微處理器時脈信號(步驟400)，然後發出存取要求信號給記憶晶片21，要求對記憶晶片21進行資料存取(步驟402)。接下來，等待記憶晶片21的存取回覆信號(步驟404)，最後當收到由記憶晶片21所回傳的存取回覆信號後，即恢復控制晶片20內的微處理器時脈信號，以使控制晶片20完成對記憶晶片21的資料存取動作(步驟406)。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。



圖式簡單說明

第一 A圖 用以說明常見的特殊應用積體電路
(Application Specific Integrated Circuit, ASIC)
的電路設計佈局；

第一 B圖 為第一 A圖中的微處理器存取靜態隨機存取記憶體時的時序動作；

第二 A圖及第二 B圖顯示一光碟機系統中，控制晶片的結構方塊圖；

第三圖用以說明第二 B圖中之微處理器於存取資料暫存區中資料時的時序波形圖；及

第四圖用以說明控制晶片於存取記憶晶片中的資料暫存區時的步驟流程。

主要部分之代表符號：

100 特殊應用積體電路

102 內部電路

104A 中央處理器

104B 內部暫存器

106 靜態隨機存取記憶體

110 位址鎖存生效信號

112 讀出 /寫入週期信號

20 控制晶片

201A 微處理器

201B 內部暫存器

202 暫存記憶體

203 記憶介面控制電路



圖式簡單說明

204 其他電路部分

21 記憶晶片

210 資料暫存區

22 記憶匯流排

300 位址鎖存生效信號

302 讀出/寫入週期信號

304 讀出/寫入週期信號

306 時脈致能信號

308 存取要求信號

312 存取回覆信號

314 微處理器時脈被阻擋之區間

400~406 流程步驟方塊



六、申請專利範圍

1. 一種控制晶片之資料存取系統，包含：

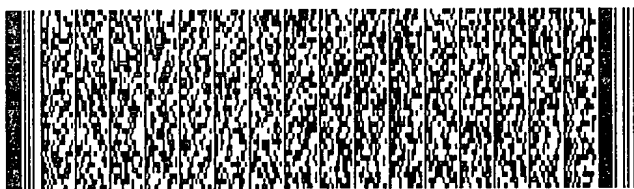
一中央處理器（CPU），位於該控制晶片內；
一外部資料暫存區，藉由匯流排連接至該控制晶片；及
一介面控制電路，位於該控制晶片內，用以將該控制晶片內的資料存取位址轉換並對應至該外部資料暫存區，藉此，使得該中央處理器直接存取資料於該外部資料暫存區。

2. 如申請專利範圍第1項之控制晶片之資料存取系統，其中上述之介面控制電路包含一位址鎖存生效信號（ALE）偵測電路，用以偵測該資料存取位址是否屬於內部資料位址。

3. 如申請專利範圍第2項之控制晶片之資料存取系統，其中上述之介面控制電路更包含一存取要求（Request）信號產生電路，當偵測得知該資料存取位址係屬於內部資料位址時，請求該外部資料暫存區以進行資料存取。

4. 如申請專利範圍第3項之控制晶片之資料存取系統，其中上述之介面控制電路更包含一存取回覆（Acknowledge）信號接收電路，用以偵得該外部資料暫存區是否已準備好進行資料存取。

5. 如申請專利範圍第4項之控制晶片之資料存取系統，其



六、申請專利範圍

中上述之介面控制電路更包含一時脈致能 (Clock Enable) 控制電路，根據該存取要求 (Request) 信號與該存取回覆 (Acknowledge) 信號，用以控制該中央處理器之時脈訊號的致能 (Enable) 與抑制 (Disable)。

6.如申請專利範圍第1項之控制晶片之資料存取系統，其中上述之外部資料暫存區包含於一動態隨機存取記憶體 (DRAM) 中。

7.如申請專利範圍第1項之控制晶片之資料存取系統，其中上述之外部資料暫存區可用以儲存該中央處理器所需的流程控制參數及數值運算。

8.如申請專利範圍第1項之控制晶片之資料存取系統，更包含應用於一光碟機系統、CD-ROM碟機 (drive)、CD-RW碟機、DVD-ROM碟機、DVD+R碟機、DVD+RW碟機、或DVD-RAM碟機。

9.如申請專利範圍第1項之控制晶片之資料存取系統，其中上述之外部資料暫存區包含於一光碟機系統、CD-ROM碟機 (drive)、CD-RW碟機、DVD-ROM碟機、DVD+R碟機、DVD+RW碟機、或DVD-RAM碟機中。

10.一種控制晶片，包含：



六、申請專利範圍

一 中央處理器 (CPU) ； 及

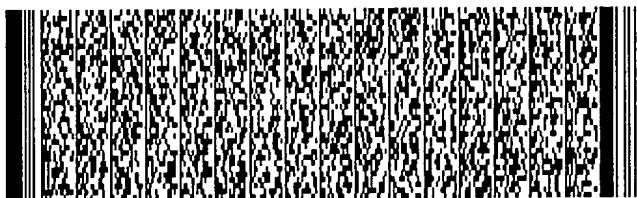
一 介面控制電路，用以將該控制晶片內的資料存取位址轉換並對應至一外部資料暫存區，藉此，使得該中央處理器直接存取資料於該外部資料暫存區。

11.如申請專利範圍第10項之控制晶片，其中上述之介面控制電路包含一位址鎖存生效信號 (ALE) 偵測電路，用以偵測該資料存取位址是否屬於內部資料位址。

12.如申請專利範圍第11項之控制晶片，其中上述之介面控制電路更包含一存取要求 (Request) 信號產生電路，當偵測得知該資料存取位址係屬於內部資料位址時，請求該外部資料暫存區以進行資料存取。

13.如申請專利範圍第12項之控制晶片，其中上述之介面控制電路更包含一存取回覆 (Acknowledge) 信號接收電路，用以偵得該外部資料暫存區是否已準備好進行資料存取。

14.如申請專利範圍第13項之控制晶片，其中上述之介面控制電路更包含一時脈致能 (Clock Enable) 控制電路，根據該存取要求 (Request) 信號與該存取回覆 (Acknowledge) 信號，用以控制該中央處理器之時脈信號的致能 (Enable) 與抑制 (Disable) 。



六、申請專利範圍

15.如申請專利範圍第10項之控制晶片，其中上述之外部資料暫存區包含於一動態隨機存取記憶體（DRAM）中。

16.如申請專利範圍第10項之控制晶片，其中上述之外部資料暫存區可用以儲存該中央處理器所需的流程控制參數及數值運算。

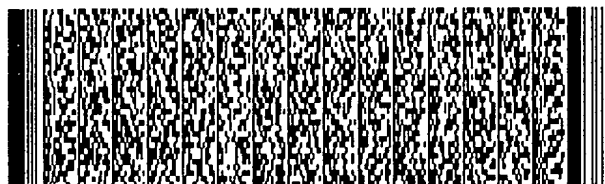
17.如申請專利範圍第10項之控制晶片，更包含應用於一光碟機系統、CD-ROM碟機（drive）、CD-RW碟機、DVD-ROM碟機、DVD+R碟機、DVD+RW碟機、或DVD-RAM碟機。

18.如申請專利範圍第10項之控制晶片，其中上述之外部資料暫存區包含於一光碟機系統、CD-ROM碟機（drive）、CD-RW碟機、DVD-ROM碟機、DVD+R碟機、DVD+RW碟機、或DVD-RAM碟機中。

19.一種系統晶片，包含一控制晶片與一外部記憶晶片相耦接，該系統晶片包含：

一外部暫存區於該外部記憶晶片中，該外部暫存區可用以提供該微處理器進行一存取資料；及

一中央處理器於該控制晶片中，該中央處理器利用連續之複數個處理器時脈週期進行該存取資料。



六、申請專利範圍

20.如申請專利範圍第19項所述之系統晶片，更包含一介面控制電路於該控制晶片中，用以產生一位址鎖存生效信號（ALE）於進行該存取資料之前偵測一資料存取位址。

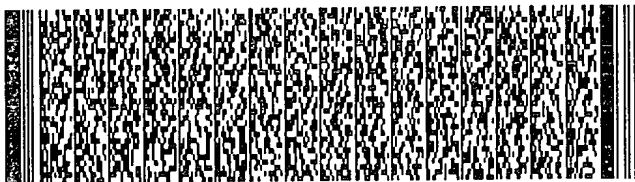
21.如申請專利範圍第19項所述之系統晶片，更包含一介面控制電路於該控制晶片中，用以產生一存取要求（Request）信號以請求該外部暫存區支援，以進行資料存取。

22.如申請專利範圍第19項所述之系統晶片，更包含一介面控制電路於該控制晶片中，用以產生一存取回覆（Acknowledge）信號偵得該外部暫存區是否已準備好進行該資料存取。

23.如申請專利範圍第19項所述之系統晶片，其中該中央處理器向該外部記憶晶片發出一存取要求信號，以進行該存取資料。

24.如申請專利範圍第23項所述之系統晶片，其中該存取要求信號於連續之該等處理器時脈週期期間，抑制該控制晶片之一時脈致能信號。

25.如申請專利範圍第19項所述之系統晶片，更包含一等待等待時間插入連續的該等處理器時脈週期中，該等待時



六、申請專利範圍

間用以使得該微處理器暫停進行該存取資料。

26.如申請專利範圍第25項所述之系統晶片，其中該等待時間的長短視該外部記憶晶片而定。

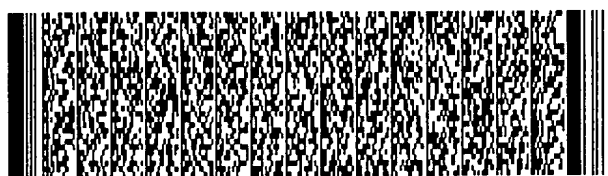
27.如申請專利範圍第19項所述之系統晶片，其中該處理器時脈週期較該外部記憶晶片之一記憶體週期長。

28.如申請專利範圍第19項所述之系統晶片，其中上述之外部晶片包含一動態隨機存取記憶體（DRAM）。

29.如申請專利範圍第19項所述之系統晶片，其中上述之外部暫存區可用以儲存該中央處理器所需的流程控制參數及數值運算。

30.如申請專利範圍第19項所述之系統晶片，更包含應用於一光碟機系統、CD-ROM碟機（drive）、CD-RW碟機、DVD-ROM碟機、DVD+R碟機、DVD+RW碟機、或DVD-RAM碟機。

31.如申請專利範圍第19項所述之系統晶片，其中上述之外部晶片包含於一光碟機系統、CD-ROM碟機（drive）、CD-RW碟機、DVD-ROM碟機、DVD+R碟機、DVD+RW碟機、或DVD-RAM碟機中。



六、申請專利範圍

32.一種控制晶片之資料存取方法，包含：

偵測該控制晶片內的資料存取位址是否屬於內部記憶區位址；

將該偵測之資料存取位址轉換並對應至一外部記憶區位址；

當偵測得知係為內部記憶區位址時，發出請求以進行該控制晶片對該外部記憶區之資料存取；

當該請求尚未確立前，暫停該控制晶片的資料存取動作；及

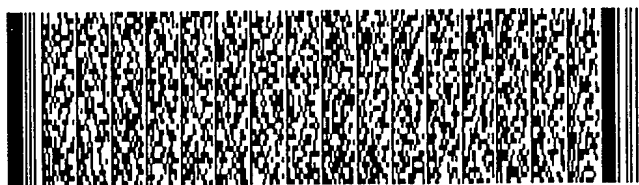
當該外部記憶區回應該請求後，回復該該控制晶片，對該外部記憶區進行資料存取。

33.如申請專利範圍第32項之控制晶片之資料存取方法，其中上述資料存取位址之偵測係根據一位址鎖存生效信號（ALE）之狀態。

34.如申請專利範圍第32項之控制晶片之資料存取方法，其中上述之請求係發出一存取要求（Request）信號。

35.如申請專利範圍第32項之控制晶片之資料存取方法，其中上述控制晶片之暫停係受到一時脈致能（Clock Enable）信號的控制。

36.如申請專利範圍第32項之控制晶片之資料存取方法，



六、申請專利範圍

其中上述外部記憶區之回應係根據一存取回覆 (Acknowledge) 信號之狀態。

37.如申請專利範圍第36項之控制晶片之資料存取方法，其中上述控制晶片之回復係藉由更改該時脈致能 (Clock Enable) 信號的狀態。

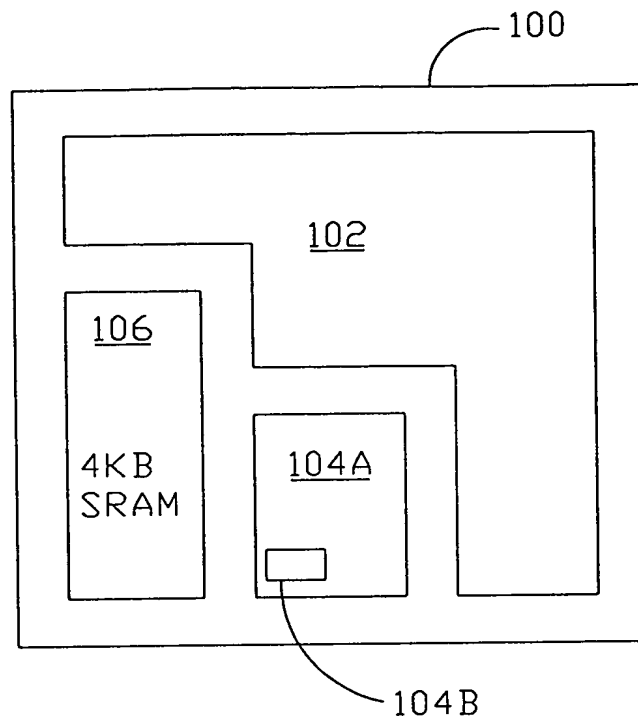
38.如申請專利範圍第32項之控制晶片之資料存取方法，其中上述之外部記憶區包含於一動態隨機存取記憶體 (DRAM) 中。

39.如申請專利範圍第32項之控制晶片之資料存取方法，其中上述之外部記憶區可用以儲存該中央處理器所需的流程控制參數及數值運算。

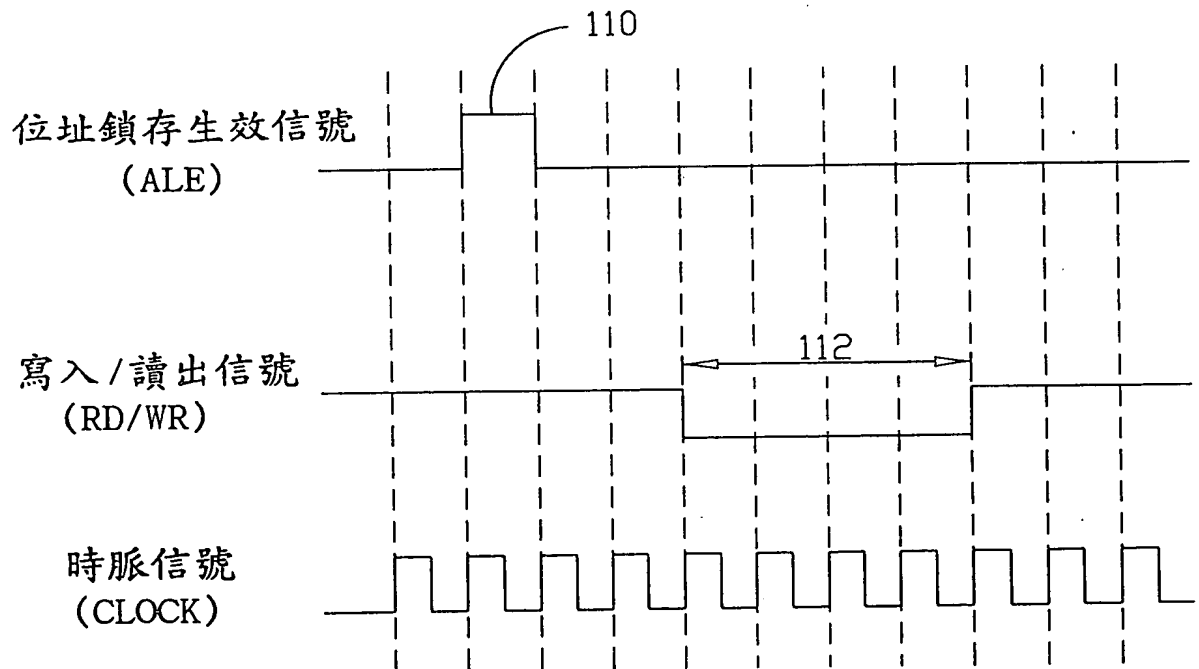
40.如申請專利範圍第32項之控制晶片之資料存取方法，更包含應用於一光碟機系統、CD-ROM碟機 (drive)、CD-RW碟機、DVD-ROM碟機、DVD+R碟機、DVD+RW碟機、或DVD-RAM碟機。

41.如申請專利範圍第32項之控制晶片之資料存取方法，其中上述之外部記憶區包含於一光碟機系統、CD-ROM碟機 (drive)、CD-RW碟機、DVD-ROM碟機、DVD+R碟機、DVD+RW碟機、或DVD-RAM碟機中。

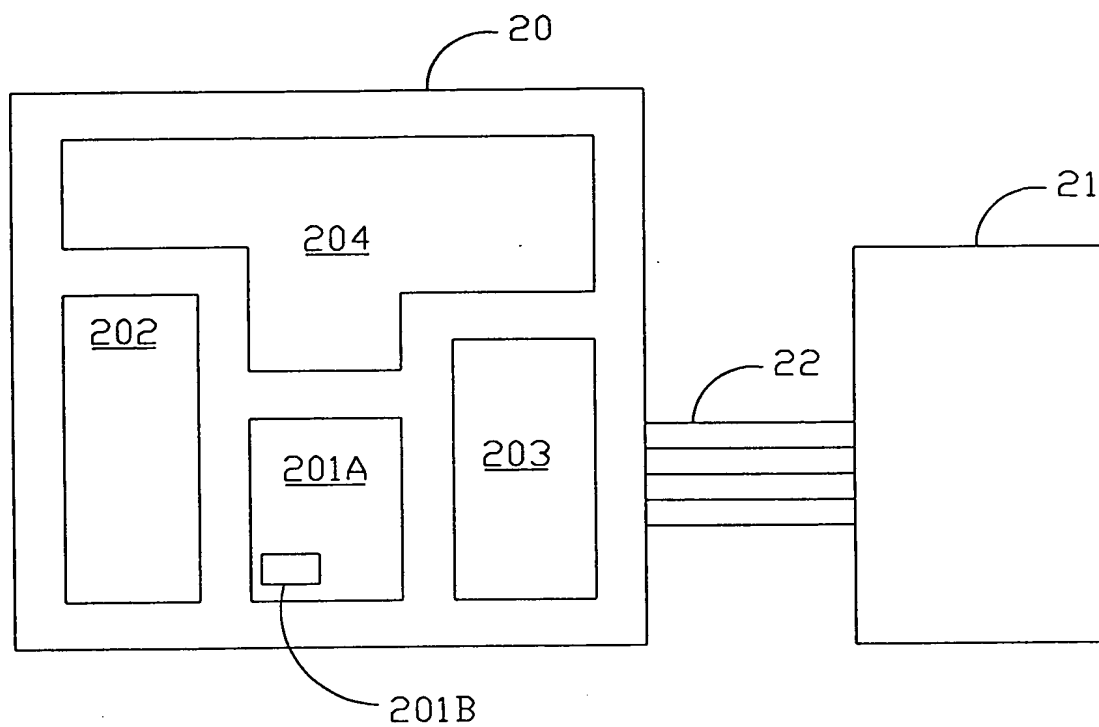




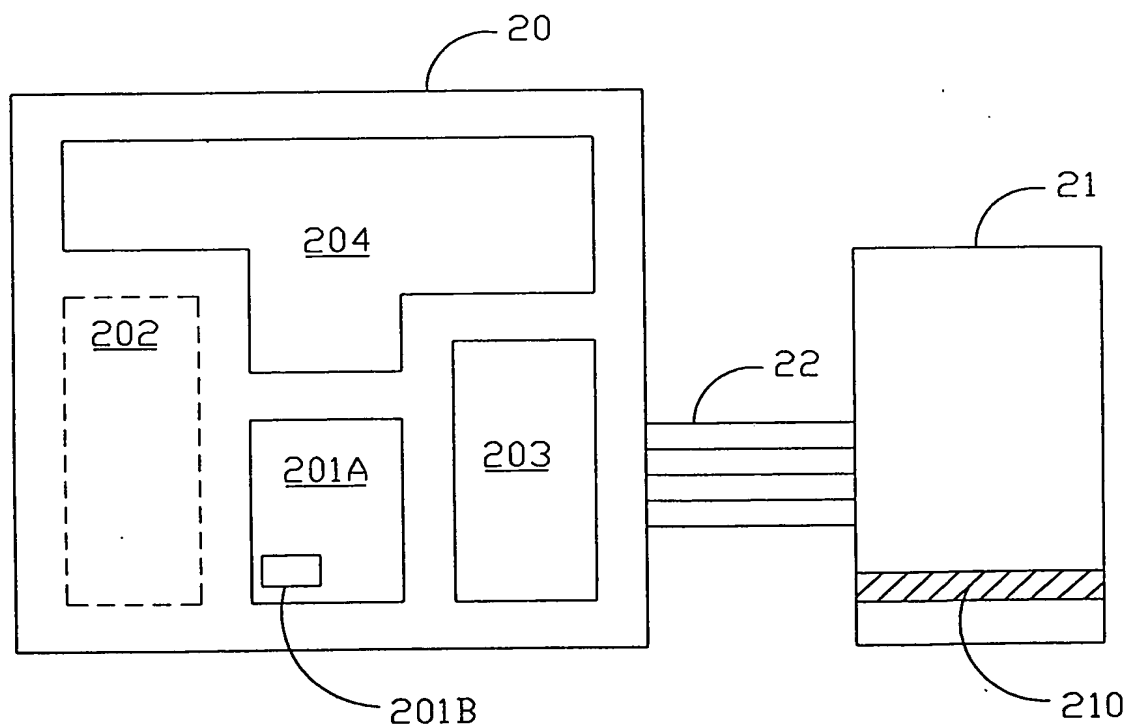
第一A圖



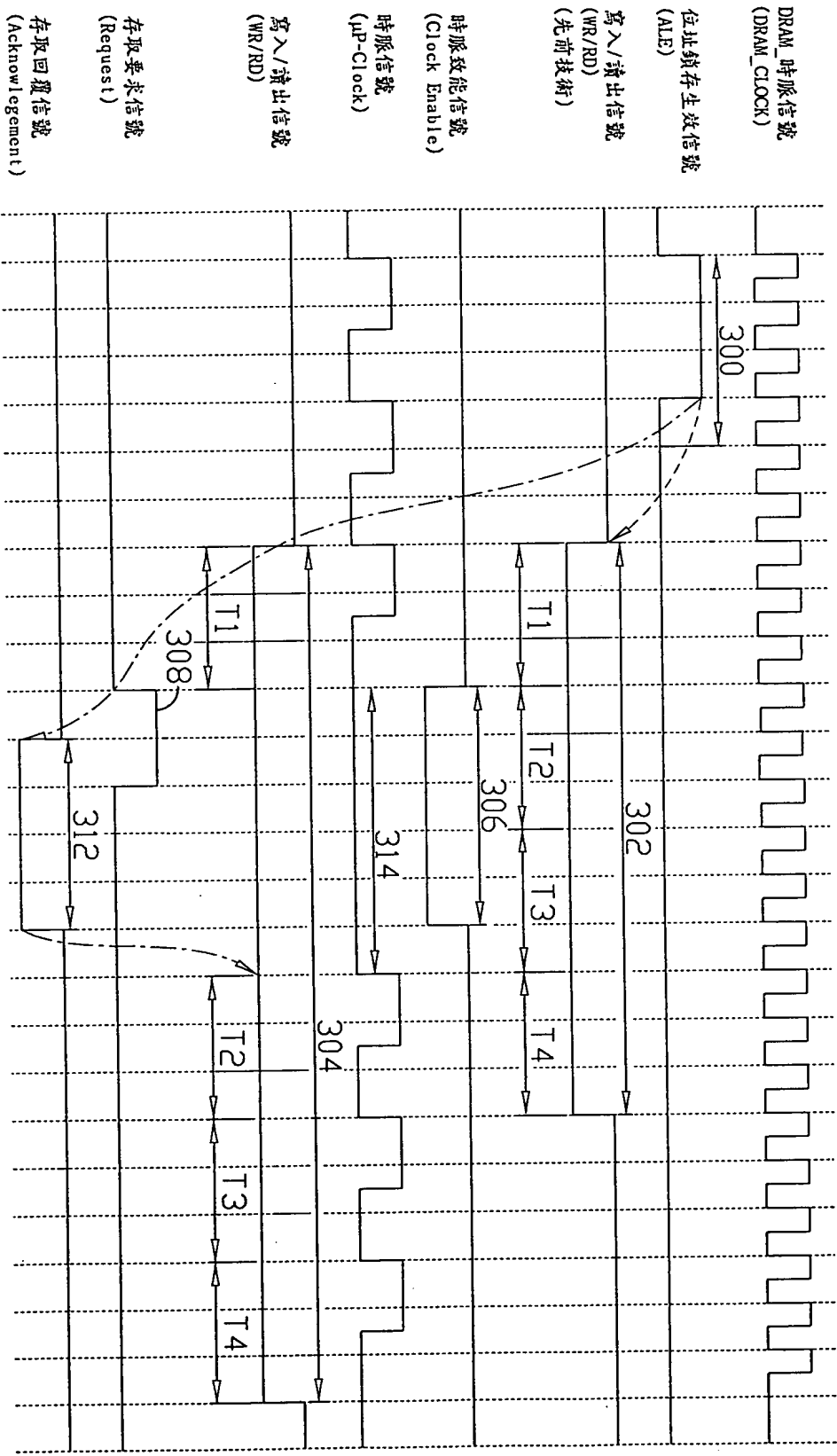
第一B圖



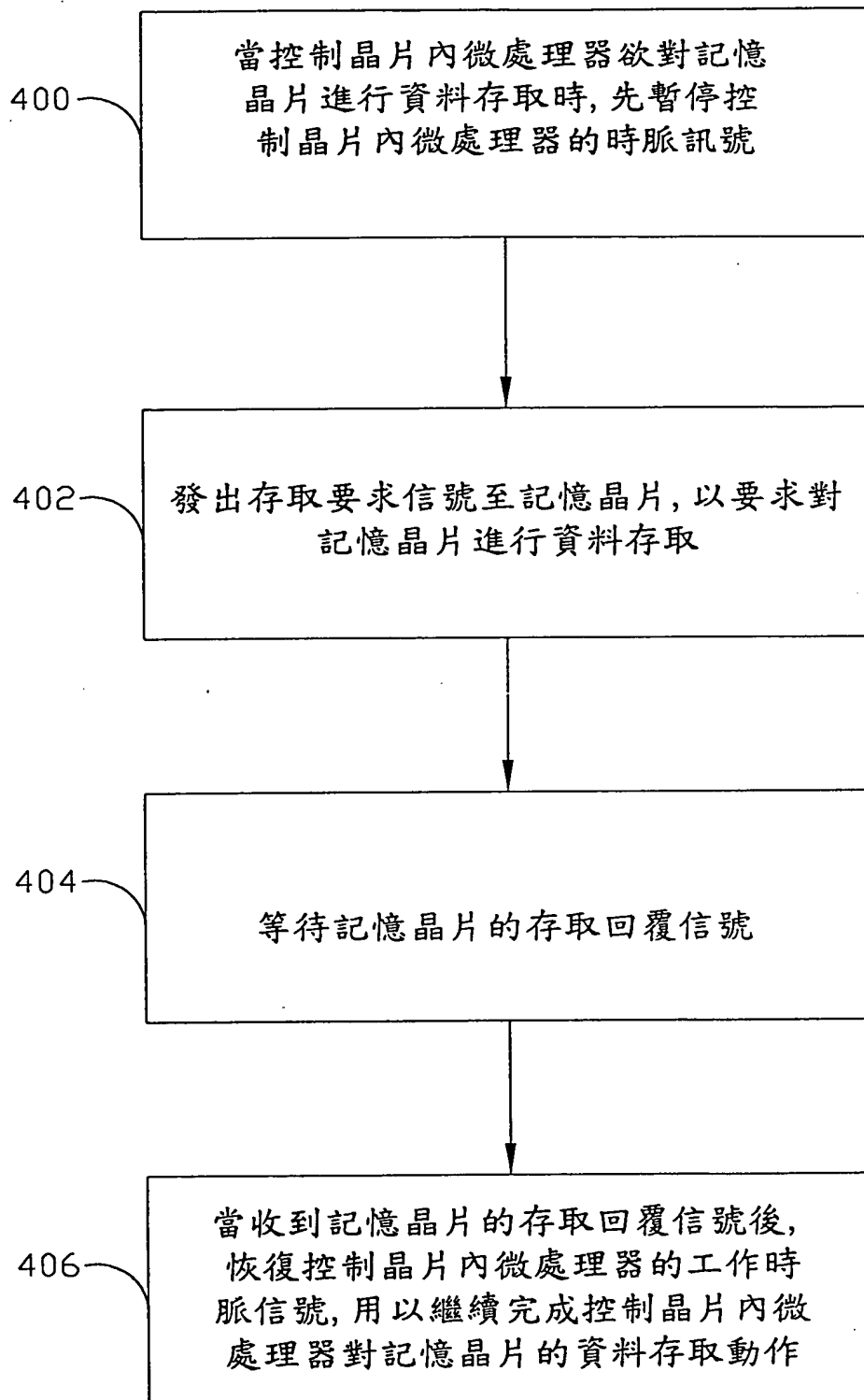
第二A圖



第二B圖



第三圖

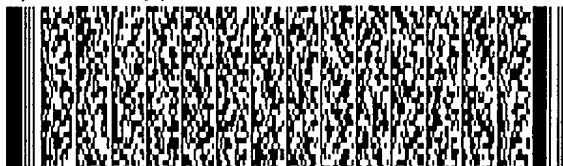


第四圖

第 1/25 頁



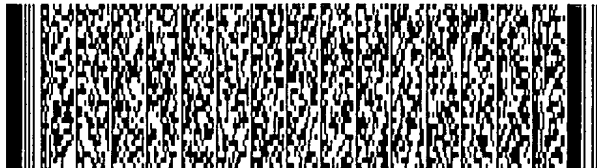
第 2/25 頁



第 2/25 頁



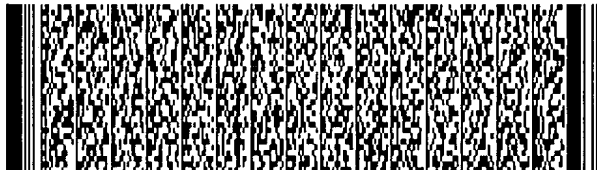
第 3/25 頁



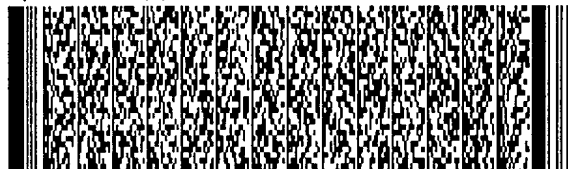
第 5/25 頁



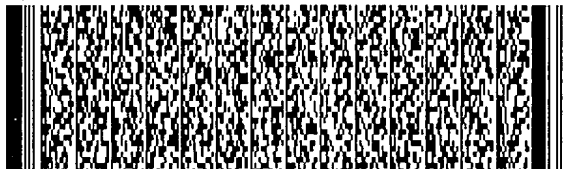
第 5/25 頁



第 6/25 頁



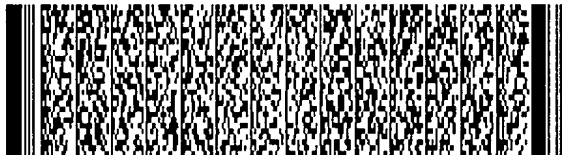
第 6/25 頁



第 7/25 頁



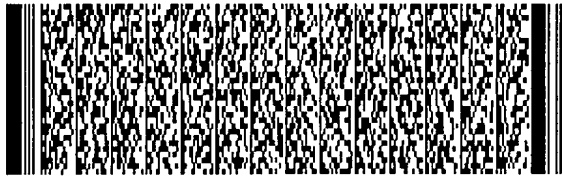
第 7/25 頁



第 8/25 頁



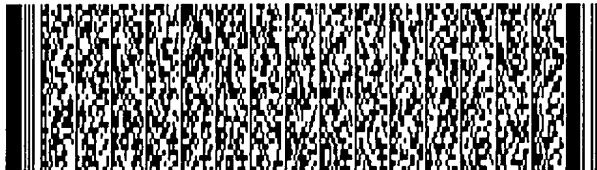
第 8/25 頁



第 9/25 頁



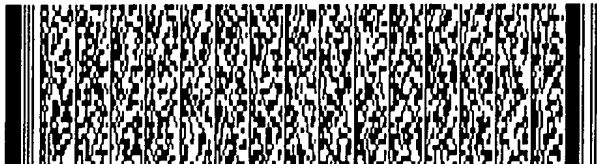
第 9/25 頁



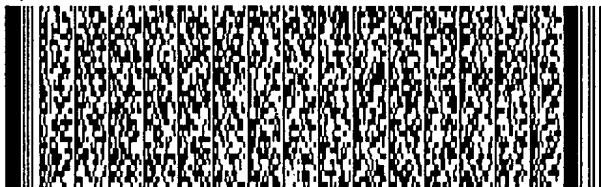
第 10/25 頁



第 10/25 頁



第 11/25 頁



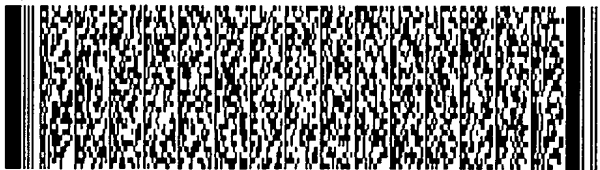
第 11/25 頁



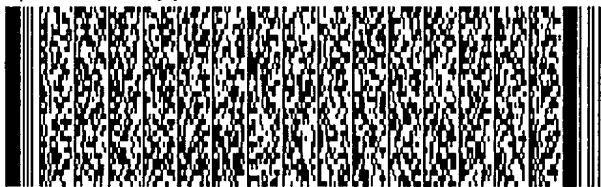
第 12/25 頁



第 12/25 頁



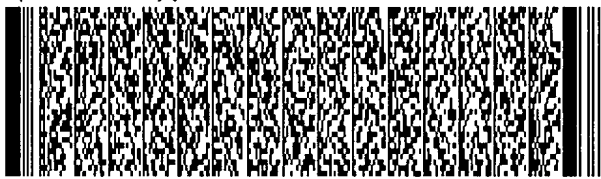
第 13/25 頁



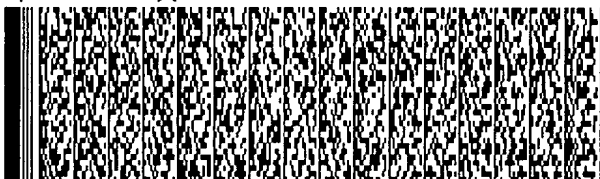
第 13/25 頁



第 14/25 頁



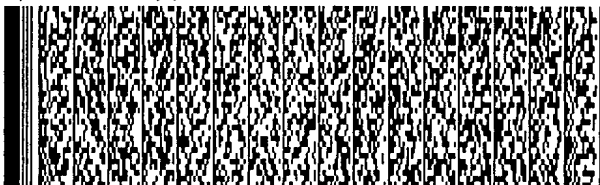
第 15/25 頁



第 16/25 頁



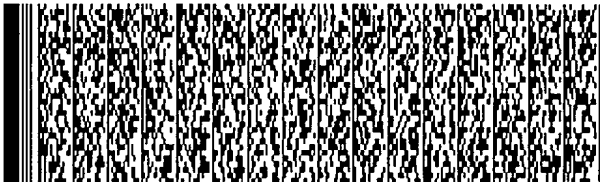
第 17/25 頁



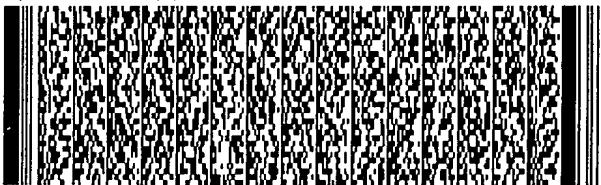
第 18/25 頁



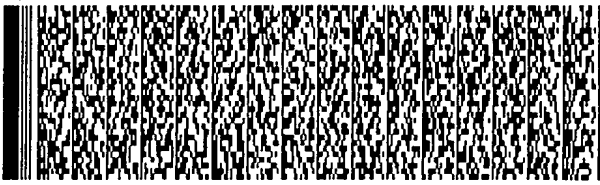
第 19/25 頁



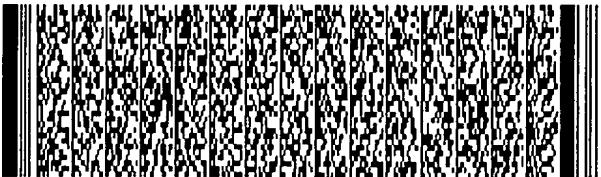
第 20/25 頁



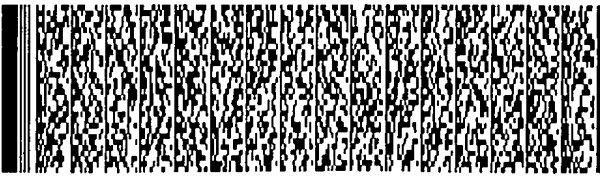
第 21/25 頁



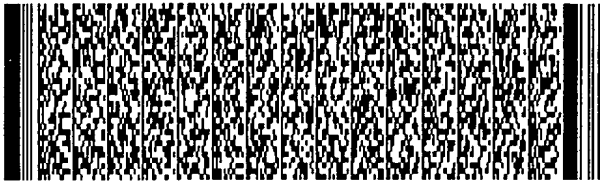
第 22/25 頁



第 23/25 頁



第 24/25 頁



第 25/25 頁



BEST AVAILABLE COPY
PAGE BLANK (USPTO)